

CLIPPEDIMAGE= JP405243525A

PAT-NO: JP405243525A

DOCUMENT-IDENTIFIER: JP 05243525 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: September 21, 1993

INVENTOR-INFORMATION:

NAME

DAIMON, SEIKI
TSURUMI, TAKAAKI
KIN, SOUKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

DAIMON SEIKI

N/A

TSURUMI TAKAAKI

N/A

APPL-NO: JP04075234

APPL-DATE: February 26, 1992

INT-CL (IPC): H01L027/108;H01L027/04

US-CL-CURRENT: 257/310

ABSTRACT:

PURPOSE: To furnish an oxide buffer film being used preferably when various oxide ceramic thin films of a high-permittivity and ferroelectric material, a superconductor material and a nonlinear optical material, a magnetooptical material, an electrooptical material and an acoustooptical material being abundant in optical characteristics, and the like are formed on a silicon substrate, and an insulating film being used preferably for a capacitor of DRAM.

CONSTITUTION: A bismuth silicate layer 3 is formed by supplying a gas containing a bismuth component onto the surface of a silicon substrate or silicon layers 1 and 2 of a silicon oxide or the like at an ambient temperature of 760 to 800°C. On the bismuth silicate layer 3 having a semiconductive property, a ferroelectric layer, an oxide optical material layer and an oxide superconductor layer are formed. The bismuth silicate layer of high permittivity is used as a capacitor of DRAM.

A crystal structure of silicon of the ground layer and a perovskite structure of a ferroelectric and others formed on the surface are matched in a lattice with the crystal structure of

bismuth silicate and thus the bismuth silicate layer and the ferroelectric layer are to grow epitaxially.

COPYRIGHT: (C) 1993, JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-243525

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

H 01 L 27/108
27/04

識別記号 庁内整理番号

C 8427-4M
8728-4M

F I

H 01 L 27/ 10

技術表示箇所

3 2 5 J

審査請求 未請求 請求項の数 7(全 11 頁)

(21)出願番号 特願平4-75234

(22)出願日 平成4年(1992)2月26日

(71)出願人 592068576

大門 正機

東京都町田市つくし野1-5-3

(71)出願人 592068587

鶴見 敬章

神奈川県大和市柳橋3丁目12番11号

(72)発明者 大門 正機

東京都町田市つくし野1-5-3

(72)発明者 鶴見 敬章

神奈川県大和市柳橋3丁目12番11号

(72)発明者 金 宗熙

東京都大田区南千束3-21-6 第2池畔
荘201号

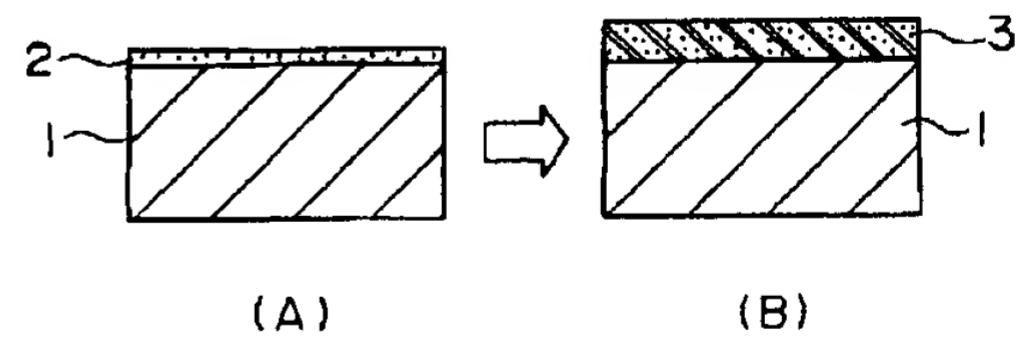
(74)代理人 弁理士 西出 真吾 (外2名)

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】 (修正有)

【目的】シリコン基板上に高誘電率・強誘電体材料、超伝導体材料、光学特性に富んだ非線形光学材料・磁気光学材料・電気光学材料・音響光学材料など各種の酸化物セラミック薄膜を成膜する際に用いて好ましい酸化物緩衝膜、およびDRAMのキャパシタに用いて好ましい絶縁膜を提供する。

【構成】シリコン基板または酸化シリコンなどのシリコン系層1、2の表面に、雰囲気温度760°C~800°Cでビスマス成分を含む気体を供給し、ケイ酸ビスマス層3を形成する。半導性であるケイ酸ビスマス層上に強誘電体層、酸化物光学材料層、酸化物超伝導体層を形成する。高誘電率ケイ酸ビスマス層をDRAMのキャパシタとする。ケイ酸ビスマスの結晶構造に対して下地層のシリコンの結晶構造および表面に形成する強誘電体等のペロブスカイト構造が格子整合してケイ酸ビスマス層、強誘電体層はエピタキシャル成長を行うことになる。



(A)

(B)

1

【特許請求の範囲】

【請求項1】シリコン基板または酸化シリコンなどのシリコン系層の表面にケイ酸ビスマス層を形成したこととする半導体装置。

【請求項2】前記ケイ酸ビスマス層は半導性であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記ケイ酸ビスマス層上に強誘電体層を形成したことを特徴とする請求項2に記載の半導体装置。

【請求項4】前記ケイ酸ビスマス層上に酸化物光学材料層を形成したことを特徴とする請求項2に記載の半導体装置。

【請求項5】前記ケイ酸ビスマス層上に酸化物超伝導体層を形成したことを特徴とする請求項2に記載の半導体装置。

【請求項6】前記ケイ酸ビスマス層はダイナミックランダムアクセスメモリのキャパシタであることを特徴とする請求項1に記載の半導体装置。

【請求項7】シリコン基板または酸化シリコンなどのシリコン系層の表面に、雰囲気温度が760°Cから800°Cの状態でビスマス成分を含む気体を供給し、ケイ酸ビスマス層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に関し、特に、シリコン基板上に高誘電率・強誘電体材料、超伝導体材料、光学特性に富んだ非線形光学材料・磁気光学材料・電気光学材料・音響光学材料など各種の酸化物セラミック薄膜を成膜する際に用いて好ましい酸化物緩衝膜、およびDRAM(ダイナミック・ランダム・アクセス・メモリ)のキャパシタに用いて好ましい絶縁膜に関する。

【0002】

【従来の技術】PZT($Pb_{1-x}Zr_xTiO_3$)、PLZT[($Pb_{1-x/100}La_{x/100}$) $(Zr_{y/100}Ti_{z/100})_{1-x/400}O_3$]、PT($PbTiO_3$)、あるいは、SrTiO₃など、高誘電率・強誘電体の半導体メモリへの応用としては、主に、強誘電体の分極反転を利用した不揮発性メモリと、高誘電率を利用したDRAMのキャパシタ絶縁膜が近年注目されている。

【0003】強誘電体薄膜を不揮発性メモリに応用しようとするのは、超高集積DRAMと同一形式のFETトランジスタスイッチと強誘電体薄膜キャパシタで一つのメモリセルを構成することにより、判別しきい値、電圧値、動作速度、信頼性などが極めて向上するからである。強誘電体は自発分極を有し、この自発分極が外部電界によって反転できる材料であって、多くの酸化物強誘電体はペロブスカイト形、ニオブ酸リチウム形、タンゲステンプロンズ形に属している。

【0004】チタン酸バリウムを例にとって強誘電体薄

10

膜を用いた不揮発性メモリの原理を説明すると、次の通りである。すなわち、キューリ温度である約120°C以上では立方晶系に属しており正負の電化の重心が一致しているが、室温では相対的にイオンが変位すると共に価電子の配置も変化して単位格子内に永久電子双極子モーメント $\sum q_i l_i (C \cdot m)$ が生じている。結晶全体にわたって同じ向きと大きさの変位が生じている場合、自発分極 P_s は単位体積当たりの永久電気双極子モーメントと定義されるので、単位正方格子の体積をVとする

2

$$P_s = \sum q_i l_i N \quad (C/m^3)$$

の大きさとなる。この自発分極の向きは外部印加電界によって電界方向に揃えることが可能である。

【0005】そして、作製されたままの単結晶の中、あるいはセラミックスや薄膜の中の微結晶中では自発分極の方向は揃っておらず磁性体における磁区の如く分域(ドメイン)に別れているが、このような状態の処女試料に電界を印加すると、分極Pと電界Eは図13に示すようにヒステリシス曲線を描く。一度高い電圧を印加した後には電界が0のときにAまたはCの状態にあり、それぞれ残留分極 $-P_r$ または $+P_r$ が保持されている。これらの状態をそれぞれ「0」または「1」と定義すれば、電界の印加方向により「0」情報または「1」情報の書き込みが選択できる。なお、 P_r としては $10 \mu C/cm^2$ 程度の値が得られる。読み出しパルス電圧方向(+方向とする)と書き込まれた方向が同じ方向、すなわちC状態のときC→Bに対応する($P_{MAX} - P_r$)×面積の電荷が流れ、逆方向、すなわちA状態のときA→Bに対応する($P_{MAX} + P_r$)×面積の電荷が流れる。この差、すなわち $2P_r \times$ 面積が分極反転電荷であり、この電荷量を判別測定することにより情報の読み取りが可能となるのである。

【0006】このような強誘電体薄膜を用いた不揮発性メモリ(FRAM)としては、図14に示す構造が提案されており、キャパシタ30(強誘電体)の下部電極31がドライブライン(DL)となり、また上部電極32がトランジスタに接続されている点が通常のDRAMの構造とは異なっている。これは、良好なPZT薄膜エレメント30をシリコンやポリシリコン上に作製できないため、白金薄膜31上にPZT薄膜30を作製する必要があるためである。かかる強誘電体不揮発性メモリ(FRAM)は、SRAM、DRAMの高速性とEEPROMの不揮発性とを兼ね備え、しかもセル寸法は原理的にはDRAMと同じであることから、理想的なメモリとなり得る。

【0007】

【発明が解決しようとする課題】しかしながら、書換え回数(分極スイッチング回数)に関しては、DRAMと同じようにサイクル時間を100nS、保証期間を10年とすると、最低 10^{15} 回は書き換えられなければならない。

50

であるにもかかわらず、従来の強誘電体不揮発性メモリの書換え回数寿命は 10^{10} であった。これは、上述した白金電極との界面付近の強誘電体薄膜中に酸素欠乏領域（低酸素濃度領域、図15参照）が存在し、この領域はn型となって空間電荷が発生し、この電荷によって強誘電体薄膜中に異常電界が発生し分極が固定されることが原因であると考えられている（例えば、日経マイクロデバイス、1991年6月号83頁）。これにより、分極の方向を繰り返し反転させると、強誘電体薄膜が疲労して残留分極の大きさが小さくなったり、リーク電流が増加してしまうという問題があった。したがって、強誘電体の長所を有効に利用するためには、成膜するにあたり強誘電体薄膜中から酸素欠乏領域を除去して、書換え回数寿命を改良する必要がある。

【0008】一方、従来のDRAMのセルキャパシタには、Siの熱酸化による良質な酸化シリコン SiO_2 薄膜（誘電率 $\epsilon_r \sim 3.8$ ）が用いられてきたが、集積度の上昇にともなうセル面積の縮小により、1MDRAMあたりから所要の静電容量に必要な SiO_2 の膜厚が100オングストローム以下となって薄さの限界に近づいた。そこで、ナイトライド Si_3N_4 （誘電率 $\epsilon_r \sim 7$ ）を採用すると共に、トレンチ型キャパシタあるいはスタック型キャパシタ等の構造的な改良によってシリコン基板の平坦面の使用面積は小さいもののキャパシタとしての面積を増加させることにより上記問題を解決していた。

【0009】しかしながら、このような誘電率が高いナイトライド Si_3N_4 を採用しても、トレンチ型キャパシタあるいはスタック型キャパシタ等のように複雑な製造工程の改良が必要である。また、さらなる集積度向上の要請により高誘電率薄膜の開発が望まれているものの、酸化シリコン層の上に高誘電率の材料を直接堆積しても、酸化シリコンと高誘電率材料とが電気的に直列接合となることから、回路全体の誘電率は誘電率が低い酸化シリコンに支配されてしまうという問題があった。したがって、静電容量を高めながら製造プロセスを簡略化する新たな技術の開発が希求されている。

【0010】そこで本発明者らは、強誘電体等の長所を遺憾なく發揮する半導体装置を得るために、強誘電体等の膜を良好にエピタキシャル成長させることが必要不可欠であり、この良好なエピタキシャル成長を達成するためには、強誘電体等の薄膜を形成する基板が良質な単結晶であること、および、基板と強誘電体等の薄膜の単位格子の大きさが少なくとも2次元的に一致していることが必要であるという知見に基づき、鋭意研究を行った。その結果、シリコンの単位格子定数（0.542nm）に対してケイ酸ビスマスの単位格子定数（1.04nm）がほぼ整数倍であり、しかも、このケイ酸ビスマスは所定の条件で良質な結晶性を示し、さらに、このケイ酸ビスマス層上に形成する強誘電体等の基本構造であ

るペロブスカイト構造などの格子定数（約0.4nm）に対してケイ酸ビスマスの格子定数は格子整合することを見だし本発明を完成するに至った。

【0011】本発明は、このような従来技術の問題点に鑑みてなされたものであり、シリコン基板上に高誘電率・強誘電体材料、超伝導体材料、光学特性に富んだ非線形光学材料・磁気光学材料・電気光学材料・音響光学材料など各種の酸化物セラミック薄膜を成膜する際に用いて好ましい酸化物緩衝膜、およびDRAMのキャパシタに用いて好ましい絶縁膜を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、シリコン基板または酸化シリコンなどのシリコン系層の表面にケイ酸ビスマス層を形成したことを特徴としている。このケイ酸ビスマス層をダイナミックランダムアクセスメモリのキャパシタとして構成することができる。

【0013】また、前記ケイ酸ビスマス層を半導性に構成することも可能である。この半導性のケイ酸ビスマス層上に強誘電体層、酸化物光学材料層、あるいは超伝導体層を形成することが好ましい。

【0014】上記目的を達成するために、本発明の半導体装置の製造方法は、シリコン基板または酸化シリコンなどのシリコン系層の表面に、雰囲気温度が760°Cから800°Cの状態下でビスマス成分を含む気体を供給し、ケイ酸ビスマス層を形成することを特徴としている。

【0015】

【作用】半導体装置のシリコン基板上に高誘電率・強誘電体材料、超伝導体材料、光学特性に富んだ非線形光学材料・磁気光学材料・電気光学材料・音響光学材料など各種の酸化物セラミック薄膜を成膜して、これら酸化物セラミック薄膜特有の長所を引き出すためには、酸化物セラミック薄膜を良好にエピタキシャル成長させることが必要不可欠である。この良好なエピタキシャル成長を達成するためには、酸化物セラミック薄膜を形成する基板が良質な単結晶であること、および、基板と酸化物セラミック薄膜の単位格子の大きさが少なくとも2次元的に一致していることが必要である。

【0016】本発明では、シリコン基板または酸化シリコンなどのシリコン系層の表面に、雰囲気温度が760°Cから800°Cの状態下でビスマス成分を含む気体を供給し、ケイ酸ビスマス層を形成する。この製造方法により得られたケイ酸ビスマス層は、シリコンと同じ立方晶の結晶構造を有しており、しかも、シリコンの単位格子定数（0.542nm）に対してケイ酸ビスマスの単位格子定数（1.04nm）がほぼ整数倍であるので、シリコンの結晶を並べた上にケイ酸ビスマスの結晶を規則正しく並べることができ（図16（A）参照）、さらに、このケイ酸ビスマスは雰囲気温度を760°Cから8

5

00°Cとすれば良質な結晶性を示す(図3～図5参照)。したがって、このケイ酸ビスマス層の表面に形成する酸化物セラミック薄膜が良好にエピタキシャル成長するための要件、すなわち、酸化物セラミック薄膜を形成する基板が良質な単結晶であること、および、基板と酸化物セラミック薄膜の単位格子の大きさが少なくとも2次元的に一致していることを満足することができる。

【0017】さらに、このケイ酸ビスマス層上に形成する強誘電体等の基本構造であるペロブスカイト構造などの格子定数(0.37～0.4 nm)に対してケイ酸ビスマスの格子定数は格子整合するので、すなわち、ケイ酸ビスマスの結晶を並べた上に強誘電体等の結晶を規則正しく並べることができるので強誘電体等の結晶は良好にエピタキシャル成長を行うことになる(図16(B)参照)。また、このケイ酸ビスマス層は常態では絶縁体であるが、不純物をドーピングすることにより半導体化できる性質を備えているので、絶縁性を必要とする膜としても、あるいは、半導性を必要とする膜としても用いることができる。

【0018】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。図1は本発明の一実施例に係る半導体装置の示す断面図であり、シリコン基板を構成するシリコンウエハ1の表面に酸化シリコン層2が形成されている。本実施例のシリコンウエハ1はp形シリコン単結晶、n形シリコン単結晶のいずれでも良く、またシリコン単結晶を成長させて製造する方法はCZ法あるいはFZ法のいずれでも良い。この単結晶シリコン基板1上に形成される酸化シリコン層2は、熱酸化や陽極酸化などのように単結晶シリコン基板のシリコンを酸化させても良いし、あるいは、気相成長(CVD)やスパッタリングなどのようにシリコン基板のシリコンを酸化させずにシリコン基板の表面に酸化膜を堆積するようにしても良い。要するに、本発明に係るケイ酸ビスマス層3は、形成面を構成する下地層に含まれるシリコンとビスマス成分とを反応させることにより構成されるものであるから、下地層に金属シリコン成分を含んであれば良い。この要件は、後述する各実施例(図7～図12)の半導体装置にもいえることである。

【0019】次いで、シリコン基板1上に形成された酸化シリコン層2上にケイ酸ビスマス層3を形成する。このケイ酸ビスマス層3は、化学式 $B_{112}SiO_{20}$ 、あるいは $Bi_4Si_3O_{12}$ で表され、格子定数が1.04 nmの立方晶の結晶構造を有するケイ酸ビスマスにより構成されている。ケイ酸ビスマスは、上述したように化学組成が単純で、シリコンと同じ立方晶の結晶構造を有し、生成温度が比較的低温である絶縁体であり、しかも不純物をドーピングすることにより半導体化できる性質を備えている。また、毒性がなく成膜が容易で、しかも原料コスト的にも有利である。

6

【0020】このようなケイ酸ビスマス層3を酸化シリコン層2上に形成するには、酸化ビスマスあるいは金属ビスマスを化学蒸着法、分子線ビームエピタキシャル法、ゾルゲル法、スパッタリング法、蒸着法により酸化シリコン層2上に堆積し、これを別途熱処理するか、あるいは堆積と同時に熱処理することにより、この堆積された酸化ビスマスあるいは金属ビスマスと下地層(酸化シリコン層2)に含まれる金属シリコンとを反応させる。これによりシリコン基板1上にケイ酸ビスマス層3が形成される。なおこのとき、下地層である酸化シリコン層2は全て消失するが、これはXPS(X線光電子分光法)、オージェ電子分光法などの表面分析により検証することができる。

【0021】ケイ酸ビスマス層3の製法の一具体例を挙げれば、以下の通りである。例えば、膜厚が約500 nmの酸化シリコン層を形成したシリコン基板上に化学蒸着法(MOCVD法)を用いてケイ酸ビスマス層を形成する場合には、ビスマス成分を含むトリフェニルビスマス($Bi(C_6H_5)_3$)気体を原料とし、窒素からなるキャリアガスと原料気体の酸化を行うための酸素とを同時に、70 cc/分の流量でシリコン基板上に供給する。成膜を行う場合のシリコン基板周辺の圧力は約10トールとし、蒸発チャンバーの温度を80°C、シリコン基板の温度を760°C～800°Cとする。このとき、ケイ酸ビスマスを構成するシリコン成分はシリコン基板上に形成された酸化シリコン層から供給される。

【0022】このような製法による生成物がケイ酸ビスマスであるかどうかは、別途合成したケイ酸ビスマス粉末($Bi_4Si_3O_{12}$)のX線回折図と比較することにより検証される。図2が別途合成したケイ酸ビスマス粉末($Bi_4Si_3O_{12}$)のX線回折図、図3～図6が上述した製法により得られた薄膜のX線回折図である。なお、図3～図6は、それぞれ基板の温度を760°C～820°Cまで変化させた場合の生成膜のX線回折図を示している。このX線回折測定は、マックサイエンス社製粉末X線回折計(X線管球のターゲットは銅、測定時に管球に印加する電圧は40 kV、電流は20 mA)を用いて行った。横軸はプラグ角、縦軸は強度を示している。

【0023】この回折結果のうち図2と図6を比較すると、シリコン基板上に生成された膜のX回折図とケイ酸ビスマス粉末のX線回折図は完全に一致していることから、生成膜はケイ酸ビスマス($Bi_4Si_3O_{12}$)であることが理解され、またこの820°Cで作製した膜が多結晶性であることも理解される。さらに、図3～図5のX線回折図から明らかのように、760°C～800°Cの基板温度条件で作製したケイ酸ビスマス層では、特定方位の回折線の強度が極めて強くなっていることから、生成したケイ酸ビスマス層がシリコン基板上に結晶の方位を揃えてエピタキシャル成長していることが理解され

る。また、760°C~800°Cのうち、特定方位の回折線が最もシャープに現れているのが図4に示す780°C近傍であり、この基板温度条件でケイ酸ビスマス層を成長させるとケイ酸ビスマスの結晶性が最も良好になることも判る。なお、上述したケイ酸ビスマス層の製法は一具体例であり、本発明のケイ酸ビスマス層の製法はこの具体例にのみ限定されることはない。

【0024】このように本発明に係るケイ酸ビスマス層は、以下述べる種々の半導体装置に適用して好ましい種々の特性を備えている。例えば、シリコンと同じ立方晶の結晶構造を有しており、しかも、シリコンの単位格子定数(0.542 nm)に対してケイ酸ビスマスの単位格子定数(1.04 nm)がほぼ整数倍であるので、図16(A)に示すように、シリコンの結晶を並べた上にケイ酸ビスマスの結晶を規則正しく並べることができ。さらに、このケイ酸ビスマスは所定の条件、すなわち基板温度を780°C~800°Cとすれば良質な結晶性を示す。したがって、エピタキシャル成長が生じる要件(すなわち、強誘電体等の薄膜を形成する基板が良質な単結晶であること、および、基板と強誘電体等の薄膜の単位格子の大きさが少なくとも2次元的に一致していること)を満足することができる。

【0025】さらに、このケイ酸ビスマス層上に形成する強誘電体等の基本構造であるペロブスカイト構造の格子定数(0.37~0.4 nm)に対してケイ酸ビスマスの格子定数(1.04 nm)は、図16(B)に示すように、

$$0.4 \times 2\sqrt{2} = 1.13 \approx 1.04$$

となり、ケイ酸ビスマスの結晶を並べた上に強誘電体等の結晶を規則正しく並べることができるので強誘電体等の結晶は良好にエピタキシャル成長を行うことになる。また、常態では絶縁体であるが、不純物(例えば、リンなど)をドーピングすることにより半導体化できる性質を備えているので、絶縁性を必要とする層としても用いることができ、半導性を必要とする層としても用いることができる。さらに、化学組成が単純で生成温度が比較的の低温であり、毒性がなく成膜が容易であることから、製造工程における材料の取扱が簡単で特別な管理を必要とせず、しかも原料コスト的にも有利である。

【0026】図7は、上述した本発明のケイ酸ビスマス層を用いた強誘電体メモリを示す断面図であり、シリコン基板1にはp形シリコンを用い、イオン注入によりソースおよびドレインにはn形拡散層4、5が形成されている。これら拡散層間に位置するチャネル6の上面には、本発明に係るケイ酸ビスマス層3が形成されており、このケイ酸ビスマス層3の上面に強誘電体層7が形成されている。この強誘電体層7が、従来のMOS構造における絶縁層を構成するため、本実施例のケイ酸ビスマス層3はリン等をドーピングすることにより半導体化しておく。強誘電体層7の上面に形成されたゲート電極

8はアルミニウムあるいはポリシリコンなどからなり、ソース電極9およびドレイン電極10もアルミニウムあるいはポリシリコンなどから構成されている。なお、図中符号「11」はフィールド酸化シリコン層SiO₂である。本実施例の強誘電体層7を構成する強誘電体としては、PZT、PLZT、PT(PbTiO₃)、Bi₄Ti₃O₁₂等を例示することができる。

【0027】このような強誘電体メモリを製造するには、まず、シリコン基板1の表面にフィールド酸化シリコン膜11を局所酸化法(LOCOS)により形成する。このフィールド酸化シリコン膜SiO₂を形成するには、シリコン基板1上に下敷酸化膜SiO₂とナイトライド膜Si₃N₄を被着し、ホトエッチングによって、後にトランジスタを形成する部分にナイトライド膜Si₃N₄を残し、ホトレジスト膜をマスクとしてBをイオン注入する。このBは隣接する素子間を電気的に分離するチャネル・ストップの機能を司ることになる。その後、水蒸気を用いた湿式酸化を行うとナイトライド膜のない部分のシリコン基板が酸化されてフィールド酸化シリコン膜11が形成される。

【0028】ついで、局所酸化法(LOCOS)に用いた下敷酸化シリコン膜とナイトライド膜を除去し、新たに乾式あるいは塩酸酸化によってゲート酸化シリコン膜を形成する。なお、本発明に係るケイ酸ビスマス層3は、シリコン基板1上に直接堆積させることもできるので、このゲート酸化シリコン膜を省略しても良い。このようにして形成されたゲート酸化シリコン膜上(あるいは直接シリコン基板上)に、既述した方法等によってケイ酸ビスマス層3を形成する。さらに、この結晶性が良好なケイ酸ビスマス層3上に所望の強誘電体膜7を形成した後に、SiH₄ガスの熱分解等によりポリシリコンを堆積し、導電性を付与するためにリン等を添加する。そして、ホトエッチングとCF₄ガス等を用いたドライエッティングによってポリシリコンゲート電極8を加工する。ついで、ポリシリコンゲート電極8をマスクとしてAsイオンを注入して拡散層4、5を形成すると共に、図示はしないが、層間絶縁膜とするPを含んだCVD法によるSiO₂膜(リンケイ酸ガラス、PSG)を形成する。最後に、ドライエッティングにて層間絶縁膜に電極接続用の孔を開孔し、Si入りアルミニウムA1をスパッタ蒸着により堆積して、ソース電極9およびドレイン電極10を形成する。なお、アルミニウム電極9、10の加工はホトエッティングとBCl₃系ガスを用いたドライエッティングによって行うことができる。

【0029】このように構成された強誘電体メモリによれば、下地層を構成するケイ酸ビスマス層3が良質な単結晶であり、シリコン基板1の格子定数と2次元的に良好に一致しているため、強誘電体がエピタキシャル成長をして成膜され、当該強誘電体層7が有する判別しきい値、電圧値、動作速度、信頼性などの諸特性を遺憾なく

発揮することができる。なお、上述した強誘電体メモリの製造方法は一具体例であるので、本発明の半導体装置はこれにのみ限定されるものではない。

【0030】図8は、上述した実施例と同様に強誘電体を用いたメモリを示す断面図であり、この場合は強誘電体をキャパシタとし、本発明に係るケイ酸ビスマス層をこのキャパシタの下部電極として構成している。すなわち、シリコン基板1にはp形シリコンを用い、イオン注入によりソースおよびドレインにはn形拡散層4、5が形成されており、一方の拡散層4が本実施例の強誘電体メモリのビット線に接続される。これら拡散層間に位置するチャネル6の上面には、ゲート酸化シリコン層12が形成されており、このゲート酸化シリコン層12の上面にポリシリコンなどからなるゲート電極13が形成されている。このゲート電極13は本実施例の強誘電体メモリのワード線に接続される。他方の拡散層5の上面には、シリコン基板上に直接、あるいは酸化シリコン膜を介して成膜された本発明のケイ酸ビスマス層3が形成されており、さらに、このケイ酸ビスマス層3上に強誘電体層7が形成されている。この強誘電体層7が、従来のDRAM構造におけるキャパシタを構成するため、本実施例のケイ酸ビスマス層3はリン等をドーピングすることにより半導体化しておく。強誘電体層7の上面に形成されたキャパシタの上部電極14はポリシリコンなどの酸化物導電体から構成されている。なお、図中符号「11」はフィールド酸化シリコン層SiO₂、「15」は層間絶縁膜である。

【0031】このように構成した強誘電体メモリによつても、強誘電体層7(キャパシタ)の下部電極を構成するケイ酸ビスマス層3が良質な単結晶であり、シリコン基板1の格子定数と2次元的に良好に一致しているため、強誘電体がエピタキシャル成長をして成膜され、当該強誘電体層7が有する判別しきい値、電圧値、動作速度、信頼性などの諸特性を遺憾なく発揮することができる。また、上部電極14も酸化物導電体を用いているため、強誘電体層7と上下電極3、14との界面付近に生じる酸素欠乏領域を除去することができ、その結果、この酸素欠乏領域の存在が原因と考えられる書換え回数(分極スイッチング回数)の寿命を向上させることができる。

【0032】本発明に係るケイ酸ビスマス層は、光学特性に富んだ非線形光学材料、磁気光学材料、電気光学材料、音響光学材料などの各種酸化物光学材料を用いた光集積回路の下地層として用いることができる。光集積回路は、一つの基板の表面に屈折率が僅かに高い部分を作つて光導波路とし、これを基本として、光源であるレーザダイオードと、および機能素子であるスイッチ・変調器などと、光検出素子であるダイオードとを集積することによって全体としてある機能を持たせるようにして光回路である。このような光集積回路として、電気光

学、音響光学、磁気光学、非線形光学効果を持つ材料を基板として導波路を形成し、光を導波路中に閉じ込めた状態で、外部入力信号によって導波光を制御することにより従来のバルク形デバイスとは異なる新たな機能を持つ様々な導波光形デバイスを構成することができる。

【0033】図9は、上述した酸化物光学材料を用いた光集積回路における本発明に係るケイ酸ビスマス層の適用例を示す断面図であり、シリコン基板1上に既述した手法等によってケイ酸ビスマス層3が形成されている。

10 このケイ酸ビスマス層3はリンなどを添加することにより半導体化され、その上には、所望の光学特性を備えた酸化物光学材料からなる酸化物光学材料層16が形成され、光導波路を構成している。図中符号「17」は外部入力信号を取り込む電極、「18」は光源である半導体レーザ層であり、図示はしないが、図中右側に光検出素子が配置されている。

【0034】本実施例で用いられる酸化物光学材料としては、Ti拡散LiNbO₃、LiTaO₃、As₂S₃膜、YIG膜/GGG、常磁性ガラス、ZnO膜などを例示することができ、外部入力信号による光との相互作用によって使い分けることが好ましい。例えば、外部入力信号が電気である場合には、電気光学効果(ポッケルス効果)により屈折率を変化させ、振幅・位相変調・光路切り換え・偏向・回折・モード変換などの機能を司るために、導波路材料としてTi拡散LiNbO₃、LiTaO₃、PZT、PLZT、PTを用いることが好ましい。また、外部入力信号が音波である場合には、音響光学効果(光弾性効果)により屈折率を変化させ、偏向・回折・モード変換・单一側帯波発生などの機能を司るために、導波路材料としてTi拡散LiNbO₃、As₂S₃膜を用いることが好ましい。外部入力信号が磁界である場合には、磁気光学効果(ファラデー効果)により偏波面を回転させ、非相反性・モード変換などの機能を司るために、導波路材料としてYIG膜/GGG、常磁性ガラスを用いることが好ましい。さらに、外部入力信号が光である場合には、非線形光学効果により分極誘起を生じさせ、2次高調波発生・パラメトリック増幅などの機能を司るために、導波路材料としてTi拡散LiNbO₃、ZnO膜、PZT、PLZT、PTを用いることが好ましい。

【0035】このように構成した光集積回路によれば、酸化物光学材料を良好にエピタキシャル成長させることができるために、その酸化物光学材料が備える優れた光学特性を遺憾なく発揮させることができ、光変調器、光スイッチ(電気光学効果を利用する)、光アイソレータ(磁気光学効果を利用した光を一方向にのみ通す素子で逆光の防止に応用する)、波長変換器(非線形光学効果を利用して波長変換を行い半導体レーザー光を青色レーザー光に変換する)、光変調器(音響光学効果を利用して光の進む方向を電気信号で制御する)、光センサ、光

11

磁気センサ、圧電素子などに応用して好ましい。

【0036】図10は、酸化物超伝導体を用いたジョセフソン接合素子における本発明に係るケイ酸ビスマス層の適用例を示す断面図である。ジョセフソン接合素子は、2つの超伝導体が薄い絶縁膜で隔てられているとき、絶縁膜を電子対がトンネル効果で通過して生じるというジョセフソン効果を利用した回路素子であり、スイッチ素子や高速電子計算機等に応用することができる。この具体例では、シリコン基板1上に既述した手法等によってケイ酸ビスマス層3を形成し、リンなどを添加することにより半導体化した後に、この上に酸化物超伝導体からなる層19を形成している。なお、図中符号「20」はジョセフソン接合素子のチャネルである。本実施例で用いられる酸化物超伝導体としては、 $YBa_2Cu_3O_7$ 、 $Bi_2Sr_2Ca_2Cu_3O_{10}$ 、 $Tl_2Ba_2Ca_2Cu_3O_{10}$ などを挙げることができる。

【0037】上述した酸化物超伝導体の超伝導転移温度および臨界電流密度は、超伝導体の結晶性と密接な関係があり、結晶性を高めないと超伝導特性を示さないことが知られている。しかしながら、本実施例によれば、超伝導体の下地層を構成するケイ酸ビスマス層3が、既述したように良質な単結晶であり、シリコン基板1の格子定数と2次元的に良好に一致しているため、超伝導体19がエピタキシャル成長をして成膜され、良好な超伝導特性を示すことになる。

【0038】上述した酸化物超伝導体は、ジョセフソン素子以外にも、例えば半導体装置の配線用材料として用いることもできる。図11は、酸化物超伝導体を半導体装置電極や配線材料として用いるときのケイ酸ビスマス層の応用例を示す断面図である。本実施例では、半導体装置としてMOS形半導体を例示しており、シリコン基板1にはp形シリコンを用い、イオン注入によりソースおよびドレインにはn形拡散層4、5が形成されている。これら拡散層間に位置するチャネル6の上面には、本発明に係るケイ酸ビスマス層3が形成されており、このケイ酸ビスマス層3の上面に酸化物超伝導体からなるゲート電極21が形成されている。この場合、ケイ酸ビスマス層3が、従来のMOS構造におけるゲート絶縁層を構成するため、チャネル上部のケイ酸ビスマス層3は半導体化することなく絶縁体のまま成膜する。これに対して、ソースおよびドレインとなる拡散層4、5の上面にもケイ酸ビスマス層3が形成され、これらケイ酸ビスマス層上に酸化物超伝導体からなるソース電極22およびドレイン電極23が形成されている。この拡散層上に形成するケイ酸ビスマス層3は、リン等を添加することにより半導体化しておく。なお、図中符号「11」はフィールド酸化シリコン層 SiO_2 である。

【0039】このように構成した半導体装置では、超伝導体からなる電極や配線21、22、23の下地層が、既述したように良質な単結晶であってシリコン基板1の

12

格子定数と2次元的に良好に一致しているケイ酸ビスマス層3であるため、超伝導体21、22、23がエピタキシャル成長をして成膜され、良好な超伝導特性を示すことになる。したがって、従来の電極・配線材料であるアルミニウムやポリシリコンなどに比べて電気抵抗が極めて小さくなり半導体装置の消費電力を低減することができる。

【0040】また、本発明に係るケイ酸ビスマス層は、その高誘電率を利用してDRAMのキャパシタとして用いることができる。図12は、DRAMのキャパシタ誘電体膜に本発明に係るケイ酸ビスマス層を応用した具体例を示す断面図である。シリコン基板1にはp形シリコンを用い、イオン注入によりソースおよびドレインにはn形拡散層4、5が形成されており、一方の拡散層4が集積回路のビット線に接続される。これら拡散層間に位置するチャネル6の上面には、ゲート絶縁層を構成する酸化シリコン層24が形成されており、このゲート酸化シリコン層24の上面にポリシリコンなどの酸化物導電体からなるゲート電極25が形成されている。このゲート電極25は集積回路のワード線に接続される。

【0041】他方の拡散層5の上面には、シリコン基板上に直接、あるいは酸化シリコン膜を介して成膜された本発明のケイ酸ビスマス層3が形成されており、さらに、このケイ酸ビスマス層3上にはポリシリコンなどの酸化物導電体からなる電極26が形成されている。この電極26はDRAMにおける固定電位に接続される。本実施例のケイ酸ビスマス層3は、ケイ酸ビスマス層3自体がDRAM構造におけるキャパシタを構成するため、半導体化することなく絶縁体のまま成膜する。なお、図中符号「11」はフィールド酸化シリコン層 SiO_2 である。

【0042】このような本実施例に係るDRAMは、以下のようにして製造することができる。すなわち、まず、p形シリコン基板1上に、例えばSiNを用いた選択酸化法により素子領域間の分離のためのフィールド酸化シリコン層11を形成する。このフィールド酸化シリコン層11の上に、既述した手法によってケイ酸ビスマス層3を形成し、さらに、このケイ酸ビスマス層3上にポリシリコンなどの導電体からなる電極26を形成する。これにより、DRAMのキャパシタが形成される。次いで、トランジスタ集積回路のゲート電極25とワード線を形成するために、酸化シリコン層24（ゲート絶縁層）を形成した後に、ポリシリコンなどの酸化物導電体を堆積してゲート電極25を形成する。このゲート電極25をマスクとしてAsなどのn形イオンを注入し拡散層4、5を形成し、その上に層間絶縁層である酸化シリコン層15を形成する。なお、図示はしないが、トランジスタ集積回路のビット線に接続される電極は、層間絶縁層15を開孔してSi入りアルミニウムをスパッタ蒸着により堆積することにより行われる。このようなD

13

RAMの製法は、本実施例に係るDRAMを得るために一具体例であって、特に限定されることはない。

【0043】このように本発明に係るケイ酸ビスマス層をDRAMのキャパシタとして用いると、従来のトレンチ型あるいはスタック型などの複雑な製造工程を経なくとも、簡単な構造および製造工程で良好な結晶性を有する高誘電率膜（誘電率 $\epsilon_r = 5.6$ ）を形成することができる。したがって、DRAMの製造工程を簡略化すると同時に、集積度向上に必要とされるプレーナ型への再転換が可能となり、低コスト・高集積である半導体装置を得ることができる。

【0044】なお、本発明は上述した実施例のみに限定されることなく本発明の要旨を越えない範囲で種々の改変は可能である。

【0045】

【発明の効果】以上述べたように本発明によれば、シリコン基板または酸化シリコンなどのシリコン系層の表面にケイ酸ビスマス層を形成したので、酸化物セラミック層を良好にエピタキシャル成長させることができ、高誘電率・強誘電体材料、超伝導体材料、光学特性に富んだ非線形光学材料・磁気光学材料・電気光学材料・音響光学材料など各種の酸化物セラミック薄膜を用いた諸特性に優れた半導体装置を得ることができる。また、前記ケイ酸ビスマス層をDRAMのキャパシタとして用いれば、トレンチ型あるいはスタック型などの複雑な製造工程を経なくとも、プレーナ型の簡単な構造および製造工程で良好な結晶性を有する高誘電率膜を形成することができる。これにより、低コスト・高集積のDRAMを得ることができる。

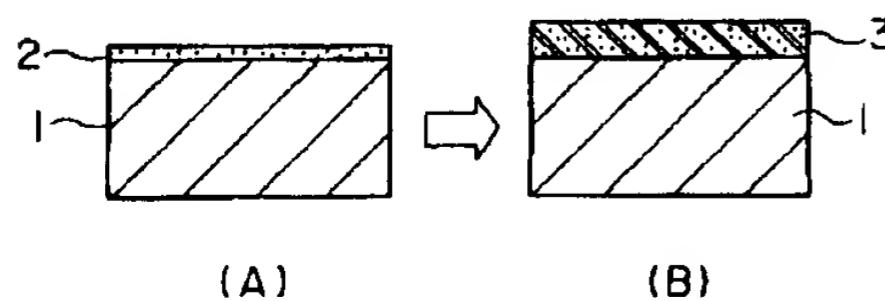
【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置を示す断面図であり、(A)はシリコン基板上に酸化ビスマス層を形成する前の状態を示し、(B)は酸化ビスマス層を形成した状態を示す。

【図2】ケイ酸ビスマス粉末のX線回折図である。

【図3】本発明の一実施例に係るケイ酸ビスマス層を基板温度が760°Cの条件で形成したときのX線回折図である。

【図1】



14

【図4】本発明の一実施例に係るケイ酸ビスマス層を基板温度が780°Cの条件で形成したときのX線回折図である。

【図5】本発明の一実施例に係るケイ酸ビスマス層を基板温度が800°Cの条件で形成したときのX線回折図である。

【図6】本発明の一実施例に係るケイ酸ビスマス層を基板温度が820°Cの条件で形成したときのX線回折図である。

10 【図7】本発明の他の実施例に係る半導体装置を示す断面図である。

【図8】本発明のさらに他の実施例に係る半導体装置を示す断面図である。

【図9】本発明のさらに他の実施例に係る半導体装置を示す断面図である。

【図10】本発明のさらに他の実施例に係る半導体装置を示す断面図である。

【図11】本発明のさらに他の実施例に係る半導体装置を示す断面図である。

20 【図12】本発明のさらに他の実施例に係る半導体装置を示す断面図である。

【図13】強誘電体の電界Eに対する分極Pの関係を示すヒステリシス曲線である。

【図14】従来の強誘電体を用いた不揮発性RAMを示す断面図である。

【図15】従来の強誘電体および金属電極の断面構造と組成比を説明する図である。

30 【図16】(A)はシリコン単結晶とケイ酸ビスマス結晶の結晶構造の基本ユニットを示す平面図、(B)はケイ酸ビスマス結晶の結晶構造とペロブスカイト構造の基本ユニットを示す平面図である。

【符号の説明】

1…シリコン基板（シリコン系層）

2…酸化シリコン層（シリコン系層）

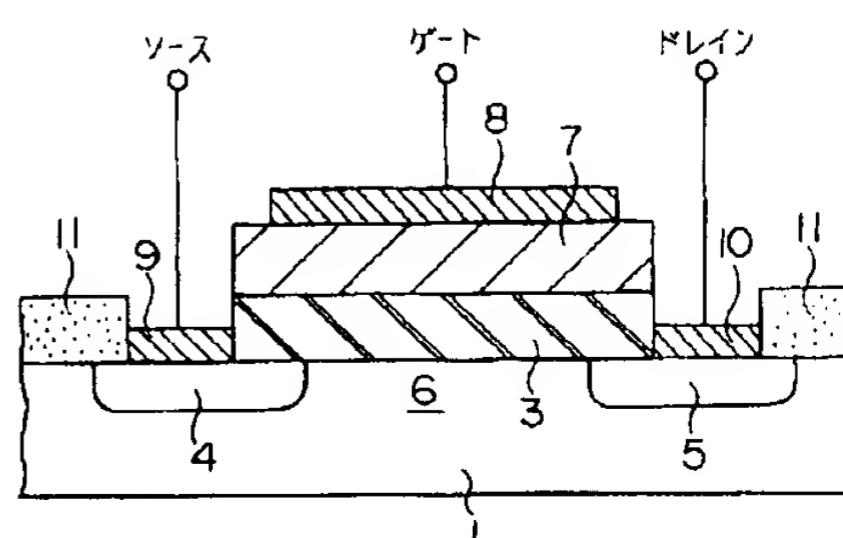
3…ケイ酸ビスマス層

7…強誘電体層

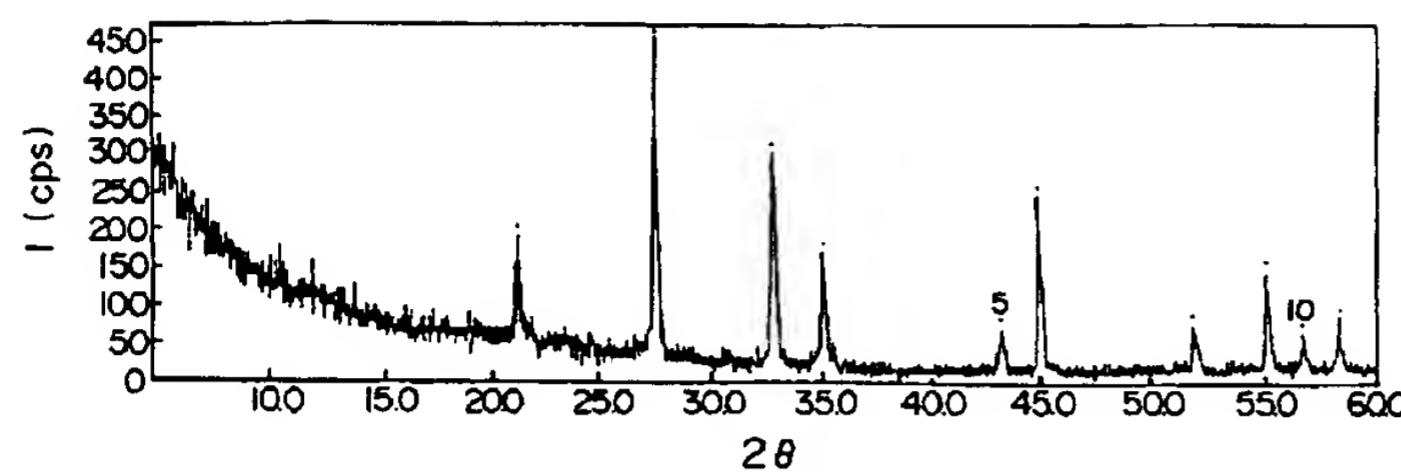
16…酸化物光学材料層

19, 21, 22, 23…酸化物超伝導体層

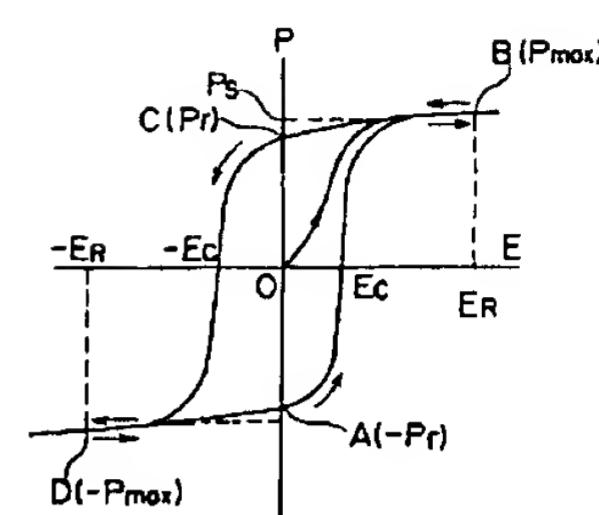
【図7】



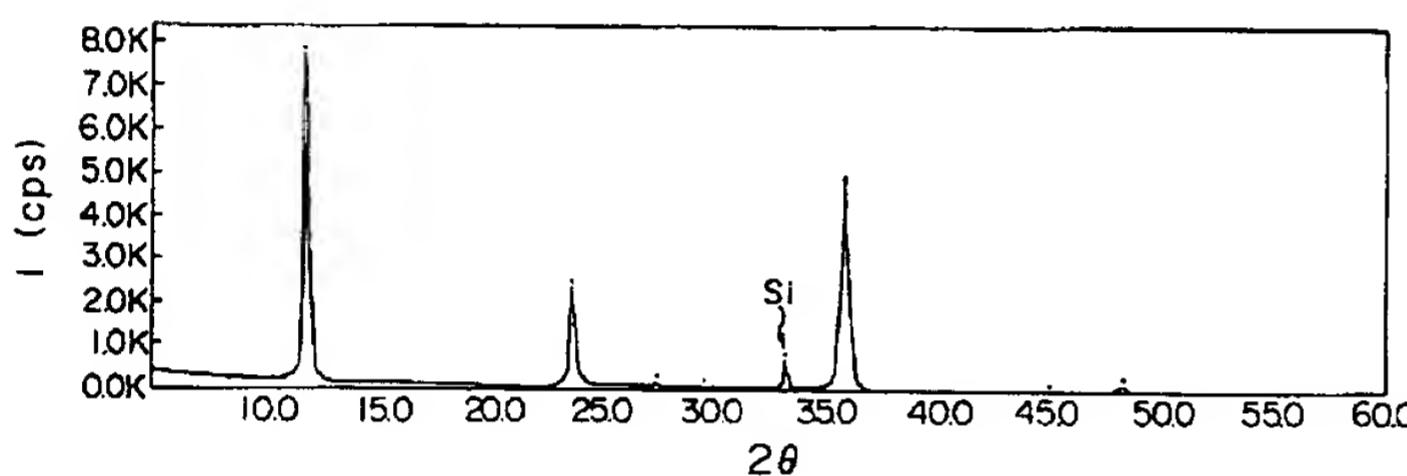
【図2】



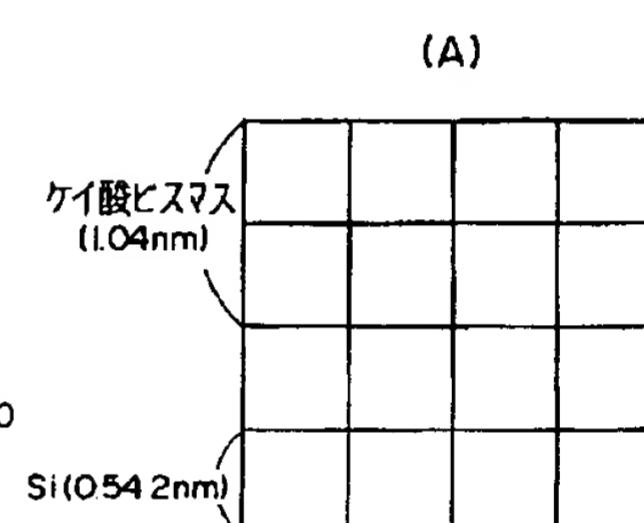
【図13】



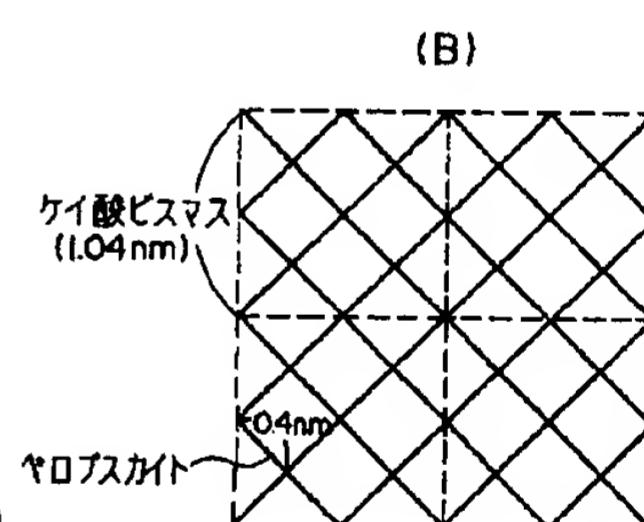
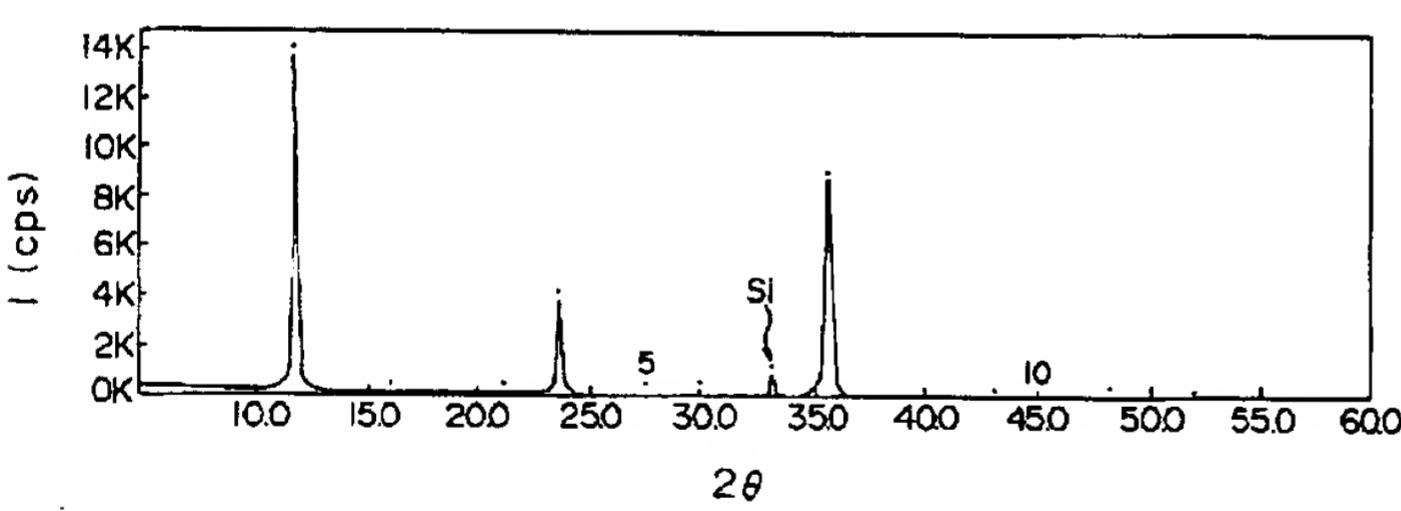
【図3】



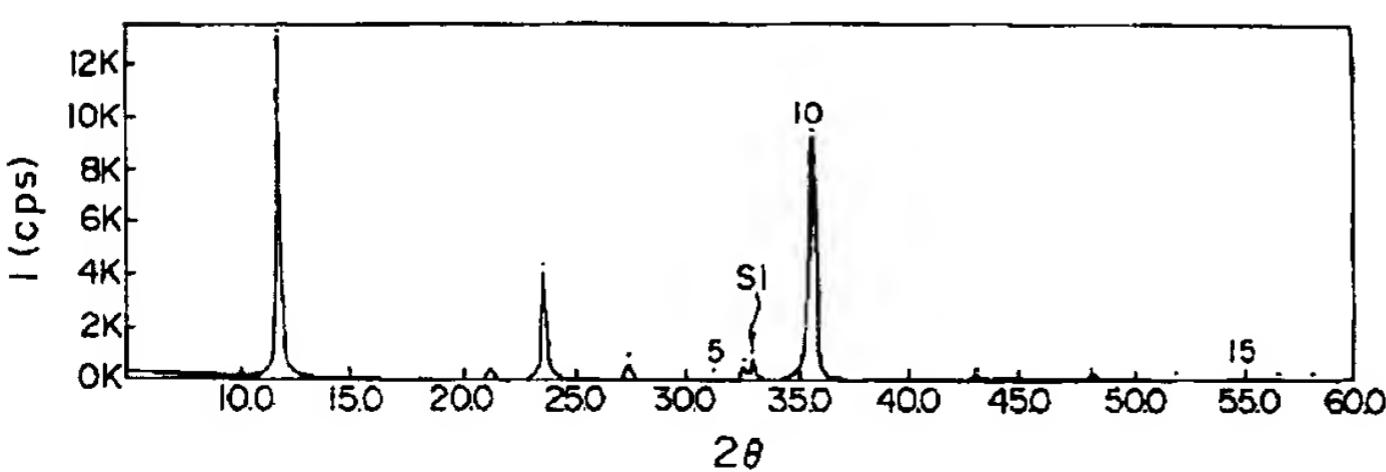
【図16】



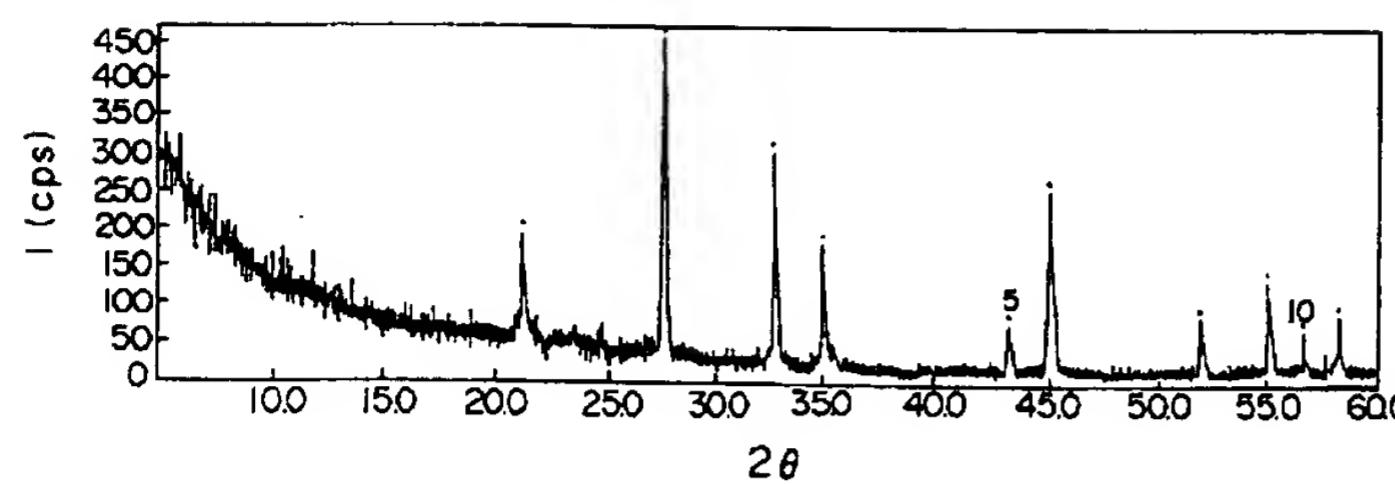
【図4】



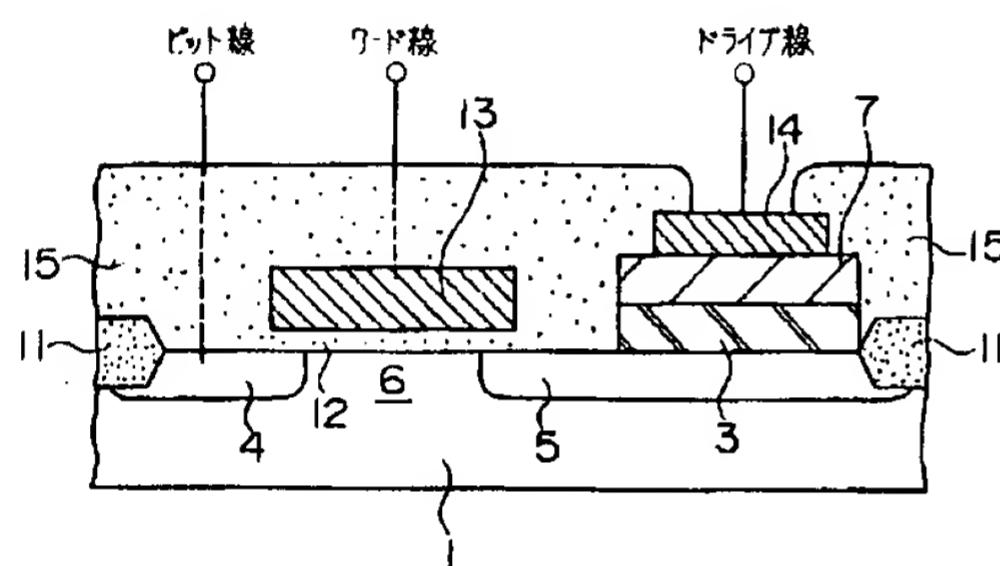
【図5】



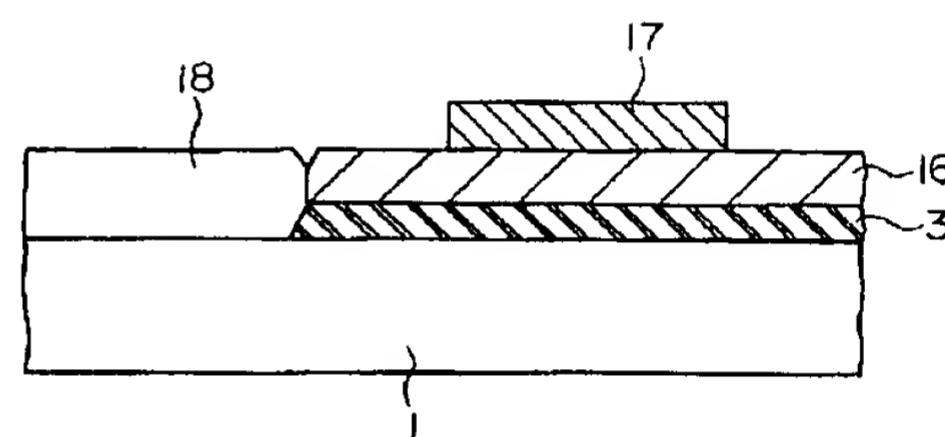
【図6】



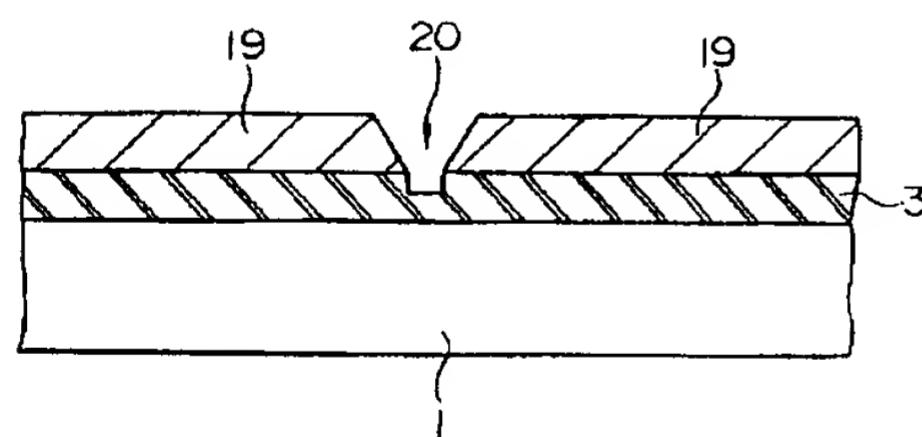
【図8】



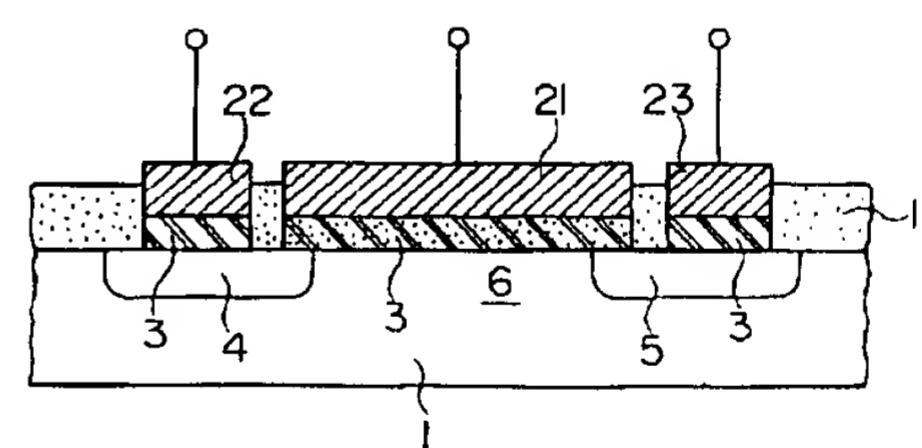
【図9】



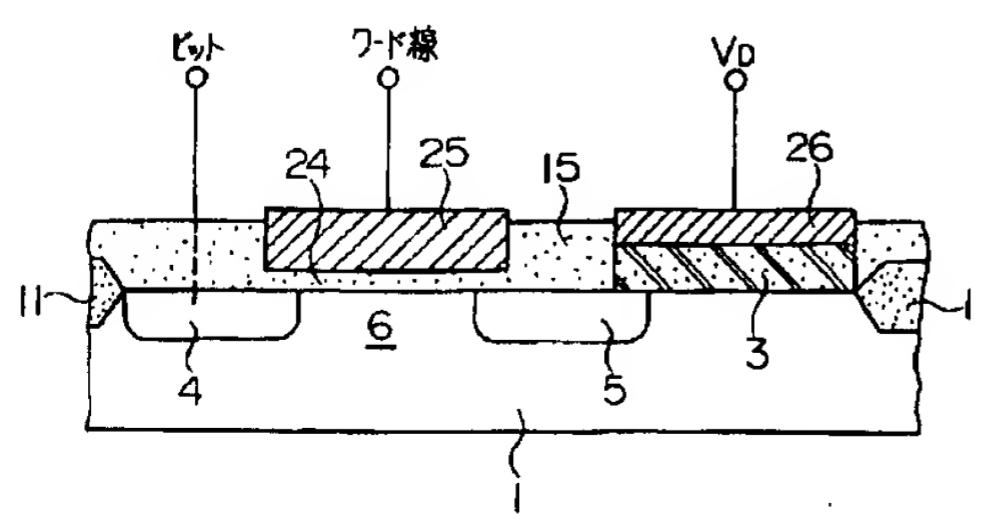
【図10】



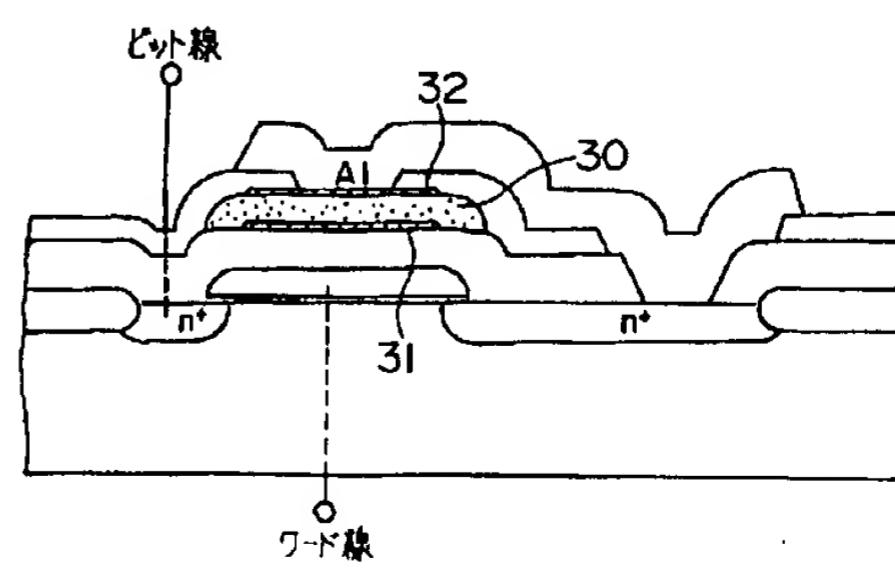
【図11】



【図12】



【図14】



【図15】

